

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl. 7
 H01L 21/334

BEST AVAILABLE COPY

(11) 공개번호 특2003 - 0033081
 (43) 공개일자 2003년04월26일

(21) 출원번호 10 - 2003 - 7004228
 (22) 출원일자 2003년03월24일
 번역문 제출일자 2003년03월24일
 (86) 국제출원번호 PCT/GB2001/04154
 (86) 국제출원출원일자 2001년09월17일

(87) 국제공개번호 WO 2002/27799
 (87) 국제공개일자 2002년04월04일

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 페란드, 영국, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구아바부다, 코스타리카, 도미니카연방, 알제리, 모로코, 탄자니아, 남아프리카, 벨리즈, 모잠비크, 에쿠아도르, 필리핀, 그루지야, 콜롬비아, 가나, 감비아, 크로아티아, 인도네시아, 인도, 유고슬라비아, 짐바브웨, 그레나다, 시에라리온.

AP ARIPO특허: 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아,

EA 유라시아특허: 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,

EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 페란드, 사이프러스, 터키,

OA OAPI특허: 부르키나파소, 베냉, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기네비쏘, 적도기네,

(30) 우선권주장

09/672,185

2000년09월28일 미국(US)

(71) 출원인

인터내셔널 비지네스 머신즈 코포레이션
 미국 10504 뉴욕주 아몬크

(72) 발명자

보이드다이안캐서린
 미국뉴욕주라그랑쥬빌마틴로드162
 브로트스키스티븐브루스
 미국뉴욕주왜핑거스폴스타운뷰드라이브172
 하나피후세인이브라힘
 미국뉴욕주07920배스킹리지갤로팡힐로드80
 로이로넨엔드류
 미국뉴욕주10562오시닝엘드리지애버뉴16

(74) 대리인

안성탁

심사청구 : 없음

(54) MOSFET 디바이스의 공핍 규화 소스 및 드레인 접합부의 제작 공정

요약

최소의 다중 공핍 규화 소스 및 드레인 접합부와 시트 저항이 매우 낮은 다중 게이트를 갖는 $0.1\mu m$ 이하 MOSFET 디바이스를 다마신 게이트 공정을 이용하여 제공하며, 더미 게이트 영역이 존재하는 상태로 소스 및 드레인 이식 활성화 어닐링 및 규화 처리를 행하고, 상기 더미 게이트 영역을 제거한 뒤 폴리실리콘 게이트 영역으로 대체한다.

대표도

도 7

명세서

기술분야

본 발명은 MOSFET 디바이스를 제작하기 위한 반도체 처리에 관한 것이다. 보다 상세하게 말하면, 본 발명은 최소의 폴리실리콘, 즉 다중 공핍 규화 소스 및 드레인 접합부와, 시트 저항이 매우 낮은(크기가 $5 \text{ ohm}/\text{sq}$. 이하) 다중 게이트를 갖는 고성능의 $0.1\mu m$ 이하 금속 산화 반도체 전계효과 트랜지스터(MOSFET) 디바이스를 제작하기 위한 공정에 관한 것이다.

배경기술

통상적인 상보형 금속 산화 반도체(CMOS) 공정에서는, MOSFET의 소스 영역과 드레인 영역 및 게이트 영역을 동시에 이식하여 활성화 및 어닐링한 후 규화 처리함으로써, 기재에 낮은 접합부 영역이 생성되고 시트 저항이 낮은 다중 게이트 라인이 형성된다.

그러한 통상적인 CMOS 공정에는 고성능의 $0.1\mu m$ 이하 CMOS 디바이스와 관련하여 다음과 같은 두 가지 문제가 있다. 첫 번째 문제는 소스, 영역과 드레인 영역 및 게이트 영역을 동시에 이식함에 따른 것이다. 어닐링 후에 소스 및 드레인 접합부가 얇게 형성되도록 하기 위해서는 저이식 선량(low - implant dose; $2E15/\text{cm}^2$ 이하 크기)을 사용하는 것이 전형적이다. 그러나, 이러한 저이식 선량은 다중 게이트 공핍을 방지하기에는 충분하지 않은데, 다중 게이트 공핍이 방지되지 않는다면 디바이스의 트랜스컨덕턴스가 낮아져 디바이스 성능이 저하된다.

전술한 종래 기술 CMOS 공정의 두 번째 문제는 다중 게이트를 규화 처리하는 공정에서만 생긴다. 폭이 $0.25\mu m$ 이하인 다중 게이트의 경우, 규화된 폴리실리콘, 예컨대 TiSi가 핵형성이 제한되면서 성장하면서 시트 저항이 매우 커지게 되어 디바이스 성능이 더욱 저하된다.

고성능의 $0.1\mu m$ 이하 CMOS 디바이스의 통상적인 CMOS 처리와 관련하여 전술한 결점들을 고려하면, 다중 게이트 공핍 및 높은 시트 저항이 나타나는 디바이스 없이 고성능의 $0.1\mu m$ 이하 CMOS 디바이스를 제작할 수 있는 새롭고 개선된 공정의 개발에 대한 요구가 계속 있어 왔다.

발명의 상세한 설명

본 발명의 실시 형태의 한 가지 목적은, 게이트의 이식과 활성화 어닐링을 소스 및 드레인의 이식과 활성화 어닐링으로부터 분리할 수 있는 공정을 제공하는 것이다.

또 다른 목적은 소스 영역 및 드레인 영역의 규화 공정과 무관하게 다중 게이트의 시트 저항을 크게 낮추는 공정을 제공하는 것이다.

본 발명의 이들 목적과 기타 목적 및 잇점들은 다마신 게이트 처리 기법을 이용하는 본 발명의 실시 형태에 나타나 있는데, 이 기법에서는 소스 영역 및 드레인 영역을 이식, 활성화 어닐링 및 규화하는 중에 존재하는 더미 게이트 영역을 사용하여, 그 후 더미 게이트 영역을 제거한 뒤, 더미 게이트 영역이 차지했었던 영역에 금속 게이트 영역 또는 다중 게이트 영역을 형성한다.

본 발명의 한 가지 양태에 따르면, 최소의 다중 공핍 규화 소스 및 드레인 접합부와 시트 저항이 매우 낮은 다중 게이트를 갖는 $0.1\mu\text{m}$ 이하 MOSFET 디바이스를 제작하기 위한 공정이 제공되며, 이 공정은,

- (a) 하단 산화물층과 상단 산화물층 사이에 개재된 폴리실리콘을 포함하는 더미 게이트 영역을 기재의 표면 상에 마련하는 단계와,
 - (b) 상기 더미 게이트 영역을 이식 마스크로 사용하여 상기 기재에 활성화된 소스 및 드레인 영역을 형성하는 단계와,
 - (c) 상기 활성화된 소스 및 드레인 영역 위의 기재의 표면을 규화 처리하는 단계와,
 - (d) 상기 더미 게이트 영역도 둘러싸는 절연층을 상기 기재의 표면 상에 형성하는 단계와,
 - (e) 상기 더미 게이트 영역의 상단 산화물층이 제거되도록 상기 절연층을 평활화하여 상기 폴리실리콘을 노출시키는 단계와,
 - (f) 상기 기재의 일부를 노출시키는 개구가 마련되도록 상기 더미 게이트 영역의 폴리실리콘과 하단 산화물층을 선택적으로 제거하는 단계와,
 - (g) 상기 기재의 노출된 부분에 게이트 유전체를 형성하는 단계와,
 - (h) 상기 게이트 유전체 상에 게이트 도전체를 침적하는 단계와,
 - (i) 상기 (d) 단계에서 형성된 절연층을 에칭하는 단계
- 를 포함한다.

본 발명의 한 가지 실시 형태에서는, 상기 (h) 단계와 (i) 단계를 실시하기 전에, 게이트 유전체 상에 오목한 폴리실리콘층을 형성한다. 이 오목한 폴리실리콘층의 폴리실리콘은 원위치 도핑 침적 공정으로 형성할 수도 있고, 후속의 이온 이식 및 어닐링에서 도핑되는 내재적인 폴리실리콘일 수도 있다. 원위치 도핑 침적 공정은 고온에 민감한 게이트 유전체를 사용할 때 채택하고, 이온 이식 및 어닐링은 게이트 유전체가 고온 어닐링에 견딜 수 있는 재료로 이루어진 경우에 채택한다. 이온 이식 및 어닐링을 채택할 때에는, 이온 이식 및 어닐링 전에 규화물 영역 상에 침적된 절연층이 규화물 영역을 보호하기 때문에, 규화물 응집이 일어나지 않는다는 것을 주목해야 한다.

본 발명의 또 다른 실시 형태에서는, 게이트 도전체를 침적하기 전에 게이트 유전체 및 개구의 노출된 측벽 상에 선택적인 라이너를 형성한다.

또 다른 실시 형태에서는, N⁺가 다량 도핑된 폴리실리콘을 더미 게이트로서 사용한다. 그러면 더미 게이트를 습식 에칭할 수 있게 된다.

도면의 간단한 설명

도 1 내지 도 12는 본 발명의 여러 처리 단계에 걸쳐 고성능의 $0.1\mu\text{m}$ 이하 MOSFET 디바이스를 보여주고 있는 도면이다.

도 13 및 도 14는 본 발명의 다른 실시 형태를 통하여 고성능의 $0.1\mu\text{m}$ 이하 MOSFET 디바이스를 보여주고 있는 도면이다.

실시예

이제, 최소의 다중 공핍 규화 소스 및 드레인 접합부와 시트 저항이 매우 낮은 다중 게이트를 갖는 고성능의 $0.1\mu\text{m}$ 이하 MOSFET 디바이스를 제작하기 위한 공정을 제공하는 본 발명을 첨부 도면을 참조하면서 더욱 상세히 설명하겠다. 도면 중에서, 동일한 구성 요소와 대응하는 구성 요소에는 동일한 도면 부호를 사용하였다는 것을 유의하기 바란다.

먼저 도 1을 참조하면, 본 발명에서 사용되는 초기 구조가 도시되어 있다. 구체적으로 설명하면, 도 1에 도시되어 있는 초기 구조는 기재(10)와 필름 스택(12)을 포함한다. 이 필름 스택은 기재(10)의 표면 상에 형성된 SiO_2 와 같은 희생 용 패드 산화물층(14)과, 이 패드 산화물층 상에 형성된 Si_3N_4 과 같은 질화물층(16)을 포함한다. 비록 본 발명의 도면에서는 필름 스택이 2개의 재료층으로 구성되어 있지만, 추가의 재료층이 포함될 수도 있다.

패드 산화물층(14)은 통상적인 열성장 공정을 이용하여 기재(10)의 표면에 형성하거나, 화학적 증착(CVD) 공정, 플라즈마 보조 CVD 공정, 스퍼터링 공정, 증발 공정 및 기타 침적 공정과 같은(그러나 이를 공정에 제한되지 않음) 통상적인 침적 공정에 의해 형성할 수 있다. 패드 산화물층의 두께는 변할 수 있으나, 약 8nm 내지 20nm인 것이 전형적이다.

질화물층(16)은, 패드 산화물층의 형성과 관련하여 전술한 공정들을 비롯한 당업계에 잘 알려져 있는 통상적인 침적 공정을 이용하여 패드 산화물층(14)의 표면에 형성한다. 질화물층의 두께는 변할 수 있으나, 패드 산화물층 상에 형성되는 질화물층은 패드 산화물층보다 두꺼워야 한다. 본 발명에서, 필름 스택(12)의 질화물층(16)의 두께는 약 50nm 내지 약 200nm인 것이 전형적이다.

본 발명에서 사용하는 기재는, 규소와 같은 반도체 재료를 함유하는 임의의 통상적인 반도체 기재일 수 있다. 본 발명에서 사용할 수 있는 기재의 몇 가지 예로는 Si, Ge, SiGe, GaP, InAs, InP 및 그 밖의 모든 III/V족 화합물 반도체가 있지만, 이들에 한정되지 않는다. 기재는 Si/SiGe 또는 절연체 상의 규소(SOI)와 같은 적층식 반도체로 이루어질 수도 있다. 기재는 제작하고자 하는 디바이스에 따라 n형 또는 p형이 될 수 있다.

도 2 내지 도 5는 기재에 고립용 트렌치를 형성하는 데에 이용되는 처리 단계들을 보여주고 있다. 구체적으로, 도 2는 도 1의 구조에 고립용 트렌치 개구(20)를 형성하는 단계를 보여준다. 이 고립용 트렌치 개구는, 먼저 질화물층(16)의 노출된 표면에 통상적인 레지스트(22)를 도포함으로써 형성된다. 그 후, 레지스트에 리소그라피(즉, 레지스트 노출 및 현상)를 실시하여 패턴을 마련한다. 그리고 나서, 질화물층(16)과 패드 산화물층(14) 및 일부 기재(10)를 통해 에칭하여 도 1의 구조에 레지스트 패턴을 전사함으로써 도 2에 도시된 구조를 형성한다. 비록 도면에는 고립용 트렌치가 2개만 있는 것으로 도시되어 있지만, 임의 개수의 고립용 트렌치를 기재에 형성할 수 있다.

도 2의 구조에서 레지스트를 제거하고 난 후, 당업계에 잘 알려져 있는 통상적인 침적 기법 또는 열성장 기법으로 질화물층 아래의 고립용 트렌치 안에 산화물 라이너(24)를 형성하여 각 트렌치의 측벽과 하단을 라이닝한 후, 당업계에 잘 알려져 있는 통상적인 침적 공정으로 각 트렌치에 테트라에틸오르토실리케이트(TEOS) SiO_2 또는 유동성 산화물과 같은 트렌치 유전체(26)를 채운다. 도 3에는, 그렇게 라이너를 형성하고 트렌치 개구를 트렌치 유전체 재료로 채우는 단계가 도시되어 있다. 트렌치 유전체 재료로 TEOS를 사용할 때에는, 평활화 전에 선택적인 고밀화 단계를 실시할 수 있다.

트렌치 개구를 채우는 데에 이용되는 침적 공정의 결과, 질화물층(16)의 표면에도 트렌치 유전체 재료가 형성된다는 점에 유의하기 바란다. 도 4에는 화학·기계적 폴리싱(CMP)과 같은 통상적인 평활화 공정을 질화물층(16) 까지 실시한 후의 구조가 도시되어 있다.

도 5에는, 질화물층(16)과 희생용 패드 산화물층(14)을 모두 제거하고, 트렌치 유전체를 포함하지 않는 기재의 표면 상에 새로운 패드 산화물층(14')을 형성한 후의 구조가 도시되어 있다. 라이너(24)와 트렌치 유전체(26)가 기재에 고립용 트렌치 영역(18)을 형성한다는 것을 알 수 있다. 질화물층과 패드 산화물층의 제거에는, 각각의 개별적인 층을 별도로 제거하기 위해 선택할 수 있는 개별적인 에칭 공정을 이용하거나, 이들 층을 동시에 제거하기 위해 선택할 수 있는 화학적 에칭 공정을 이용할 수 있다.

새로운 패드 산화물층(14')은, 전술한 패드 산화물층을 형성하기 위해 이용한 열성장 공정 또는 침적 공정을 이용하거나 이들과는 다른 공정을 이용하여 형성할 수 있다. 이 새로운 패드 산화물층(14')의 두께는 약 50Å 내지 약 200Å이다.

도 6에는 구조에 더미 게이트 영역을 형성하는 데에 이용되는 처리 단계가 도시되어 있다. 구체적으로 말하면, 폴리실리콘층(30)과 상단 산화물층(32)을 포함하는 더미 게이트 필름 스택(28)을 도 5의 구조 상에, 즉 새로운 패드 산화물층(14') 상에 형성한다. 더미 게이트 필름 스택(28)의 폴리실리콘층은 CVD, 플라즈마 보조 CVD 및 스퍼터링과 같은 통상적인 침적 공정을 이용하여 형성되는데, 저압 CVD 공정이 매우 바람직하다. 폴리실리콘층(30)의 두께는 본 발명에서 그다지 중요하지는 않지만, 약 1000Å 내지 약 2000Å인 것이 전형적이다.

더미 게이트 필름 스택(28)의 산화물층은 테트라에틸오르토실리케이드(TEOS)의 오존 침적을 이용하여 형성하거나, 산화물층을 형성할 수 있는 그 밖의 침적 공정으로 형성한다. 산화물층(32)의 두께는 본 발명에서 그다지 중요하지는 않지만, 약 300Å 내지 500Å인 것이 전형적이다. 패드 산화물층(14')은 더미 게이트 영역의 하단 산화물 역할을 하고, 산화물층(32)은 더미 게이트 영역의 상단 산화물 역할을 한다는 것을 알 수 있다.

또한, 도 6에는 더미 게이트 필름 스택(28)에 더미 게이트 영역을 제작하는 데에 사용되는 패턴화된 레지스트(34)가 존재하는 것이 도시되어 있다. 본 발명에서 사용하는 레지스트는 리소그라피에 사용되는 임의의 통상적인 레지스트이며, 통상적인 침적 공정, 노출 공정 및 현상 공정을 이용하여 산화물층 위에 형성한다.

패턴화된 레지스트는 더미 게이트 필름 스택(28)의 일부를 보호하기 위해 본 발명에 사용된다. 더미 게이트 필름 스택(28) 중 보호되지 않은 구역은, RIE 또는 플라즈마 에칭과 같은 통상적인 전식 에칭 공정을 패드 산화물층(14')에까지 실시하여 제거한다. 더미 게이트 필름 스택의 보호되지 않은 층들, 즉 폴리실리콘층(30)과 산화물층(32)이 제거된 후에는, 당업계에 잘 알려져 있는 통상적인 탈거 기법을 이용하여 패턴화된 레지스트를 탈거한다.

더미 게이트 영역에서 패턴화된 레지스트를 제거한 후, 소스/드레인 연장부(36), 스페이서(38), 소스/드레인 영역(40), 그리고 규화물 영역(42)(소스/드레인 영역 위에, 그리고 더미 게이트의 폴리실리콘 상에)을 형성하여 도 7에 도시된 구조를 형성한다. 도 7에 도시된 구조는 하단 산화물층(14')과 상단 산화물층(32) 사이에 개재된 폴리실리콘층(30)을 포함하는 더미 게이트 영역을 포함한다는 것을 알 수 있다.

소스/드레인 연장부는 통상적인 이온 이식 및 어닐링을 이용하여 형성한다. 소스/드레인 연장부를 활성화하는 데에 이용되는 어닐링 온도는 약 950°C 이상인 것이 전형적이며, 어닐링 시간은 약 5초 이내인 것이 전형적이다.

스페이서(38)는 임의의 통상적인 질화물(예컨대, Si_3N_4) 또는 산화물/질화물로 이루어지며, 당업계에 잘 알려져 있는 통상적인 침적 공정을 이용하여 형성한 후 RIE 등의 에칭 공정으로 에칭한다. 스페이서(38)의 두께는 변할 수 있으나, 약 100nm 내지 150nm인 것이 전형적이다.

소스/드레인 영역(40)은 통상적인 이온 이식 및 어닐링으로 형성한다. 소스/드레인을 활성화하는 데에 이용되는 어닐링 온도는 약 1000°C 이상인 것이 전형적이며, 지속 시간은 약 5초 이내이다.

규화물 영역(42)은 당업계에 잘 알려져 있는 통상적인 규화물 처리 단계를 이용하여 구조 안에 형성한다. 그러한 처리 단계는 당업계에 잘 알려져 있으므로 본 명세서에서는 상세한 설명을 생략한다. 규화물 영역이 소스 및 드레인 영역에 걸쳐 형성되어 있지만, 게이트 영역에는 형성되지 않았음을 알 수 있다. 이것은 규화 처리 중에 다중 게이트 영역이 산화물(32)로 덮였기 때문이다.

다음으로, 도 8에 도시된 바와 같이, 구조 위에 동일 형태의 층을 형성할 수 있는 CVD, 저압 CVD, 플라즈마 보조 CVD 등의 통상적인 침적 공정을 이용하여 구조 위에 절연층(44)을 형성한다. 이 절연층(44)으로는 SiO_2 와 같은 임의의 절연 재료를 사용할 수 있다. 절연층의 두께는 사용하는 재료의 형태에 따라 변할 수 있으나, 약 2000Å 내지 약 3000Å인 것이 전형적이다.

구조 위에 절연층을 형성한 후, 화학·기계적 폴리싱 또는 연삭과 같은 임의의 통상적인 평활화 공정을 실시할 수 있다. 본 발명의 이 단계에서 실시하는 평활화 공정은 더미 게이트 영역의 상단 산화물층(32)이 제거된 후에 정지해야 함을 유의하기 바란다. 이 평활화 공정으로 더미 게이트 영역의 폴리실리콘층(30)이 노출된다. 이 평활화 공정을 실시한 후의 구조가 도 9에 도시되어 있다.

다음으로, RIE 또는 화학적 하향류 에칭 공정을 이용하여 더미 게이트 영역의 폴리실리콘층(30)을 제거함으로써 패드 산화물층(14')을 노출시킨다. 그 후, COR 공정을 이용하여 노출된 패드 산화물층을 에칭하며, 기재(10)의 표면에 닿으면 정지한다(도 10 참조). 조합된 에칭 단계로 구조에 게이트 개구(46)가 형성된다. COR 단계는, HF와 NH_3 의 증기를 에칭 가스로 사용하여 저압(6 mTorr 이하)에서 이루어지는 증기상 화학적 산화를 제거 공정을 포함한다.

본 발명에 한 가지 실시 형태에 따르면, 도 6에 도시된 더미 게이트는 N^+ 도편트를 다량 도핑한 폴리실리콘으로 구성된다. N^+ 가 다량 도핑된 폴리실리콘을 더미 게이트 스택으로 사용할 때에는, KOH와 같은 화학적 습식 에칭 공정으로 그것을 제거한다.

구조에 게이트 개구를 형성한 후, 고온 유전체와 고온에 민감한 유전체를 비롯한 임의의 게이트 유전체(48)를 통상적인 침적 공정 또는 성장 공정으로 게이트 개구에 형성한다. 게이트 유전체(48)의 두께는 약 5Å 내지 30Å이다. 본 발명에 사용할 수 있는 적절한 게이트 유전체의 예로는 N_2O , NO, SiO_2 , ZrO_2 , 티탄산바륨, 티탄산스트론튬, 티탄산바륨스트론튬 등이 있다.

그 후, 게이트 유전체의 상단면뿐만 아니라 게이트 개구의 측벽도 라이닝되도록, 게이트 개구에 선택적인 라이너(50), 예컨대 질화물을 형성할 수 있다. 이 선택적인 라이너는 CVD와 같은 임의의 통상적인 침적 공정을 이용하여 구조 안에 형성할 수 있으며, 그 두께는 라이너 형성에 사용하는 재료의 형태에 따라 변할 수 있다. 비록 도면에는 선택적인 라이너가 도시되어 있지만, 본 발명은 게이트 개구에 라이너가 형성되어 있지 않아도 무방하다는 것을 강조하는 바이다.

다음에, CVD 공정, 플라즈마 보조 CVD 공정, 스퍼터링 공정, 도금 공정, 증발 공정 및 기타 침적 공정을 포함한(그러나, 이들에 한정되지 않음) 통상적인 침적 공정을 이용하여 폴리실리콘, W, Ta 또는 TiN과 같은 도전성 재료(52)를 게이트 개구 안에 형성한다. 그리고 나서, 통상적인 평활화 공정, 예컨대 CMP를 이용해 구조를 평활화하여 도 11에 도시된 구조를 얻을 수 있다.

도전성 재료가 폴리실리콘일 때에는, 원위치 도핑 침적 공정 또는 침적, 이온 이식 및 어닐링 공정으로 폴리실리콘을 형성할 수 있다는 점에 주목해야 한다. 원위치 도핑 침적 공정은 게이트 유전체가 고온 어닐링을 견딜 수 없을 때 채택하는 반면, 이온 이식 및 어닐링은 게이트 유전체가 그러한 고온 어닐링을 견딜 수 있는 재료일 때 채택한다. 고온 어닐링을 채택할 때에는 규화물 영역이 절연체로 덮여 있기 때문에 규화물 영역의 응집이 생기지 않는다는 점을 다시 강조하고 싶다.

도 12에는, 통상적인 에칭으로 절연층(44)을 제거한 후에 본 발명에서 얻게 되는 최종 구조가 도시되어 있다. 도 12에 도시된 구조에는 당업계에 잘 알려져 있는 기타 통상적인 CMOS 처리 단계를 실시할 수 있으며, 그러한 처리 단계는 예컨대 John - Wily and Sons 출판사가 1980년에 발간한 R. Colclaser著 "Micro Electronics Processing and Device Design" 제10장 266 - 269면에 기재되어 있다.

본 발명의 또 다른 실시 형태에서는, 게이트 개구에 도전성 재료 또는 선택적인 라이너 재료를 형성하기 전에 도 11에 도시된 구조의 게이트 유전체 상에 형성되는 오목한 폴리실리콘층(54)을 게이트 영역이 더 포함한다. 이하에서는, 도 11에 도시된 구조를 형성하는 데에 이용되는 처리 단계를 포함하는 본 발명의 이 실시 형태를 도 13 및 도 14를 참조하면서 설명한다. 구체적으로, 도 11에서 게이트 유전체(48) 상에 도시되어 있는 게이트 개구 안에 폴리실리콘층(54)을 형성한다. 이 폴리실리콘층(54)은, 먼저 도핑 농도가 $1E20/cm^3$ 를 초과하는 원위치 도핑 침적 공정을 이용하여 게이트 개구를 폴리실리콘으로 완전히 채우고, 도핑된 폴리실리콘을 CMP 처리한 후, 게이트 개구 안에 도핑된 폴리실리콘을 오목하게 가공함으로써 오목하게 형성할 수 있다(도 13 참조).

그리고 나서, 선택적인 라이너(50) 및/또는 도전성 재료(52)를 전술한 바와 같이 게이트 개구에 형성하여 도 13에 도시된 구조를 형성한다. 도 14에는 절연층(44)을 에칭한 후의 구조가 도시되어 있다.

전술한 원위치 도핑 침적 공정을 이용하는 것 외에도, 오목한 폴리실리콘층은, 먼저 게이트 유전체 상의 게이트 개구 안에 내재적인 폴리실리콘을 침적하고, 이 폴리실리콘을 적절한 도편트로 이온 이식한 후, 도핑된 폴리실리콘을 활성화하고, 도핑된 폴리실리콘을 오목하게 가공한 뒤 전술한 처리 단계들을 실시함으로써 형성할 수도 있다.

본 발명을 바람직한 실시 형태와 관련하여 상세히 설명하고 예시하였지만, 본 발명의 정신과 범위를 벗어나지 않으면서 형태 및 세부 사항에 전술한 변화 및 그 밖의 변화를 가할 수 있다는 것을 당업자라면 이해할 것이다. 이는, 본 발명을 앞에서 설명하고 예시한 형태와 세부 사항에 정확히 한정하려는 것이 아니라, 후속 청구범위에 의하여 한정하기 위함이다.

(57) 청구의 범위

청구항 1.

최소의 다중 콩핍 규화 소스 및 드레인 접합부와 시트 저항이 매우 낮은 다중 게이트를 갖는 $0.1\mu m$ 이하 MOSFET 디바이스의 제작 공정으로서,

- (a) 하단 산화물층과 상단 산화물층 사이에 개재된 폴리실리콘을 포함하는 더미 게이트 영역을 반도체 기재의 표면 상에 마련하는 단계와,
 - (b) 상기 더미 게이트 영역을 이식 마스크로 사용하여 상기 반도체 기재에 활성화된 소스 및 드레인 영역을 형성하는 단계와,
 - (c) 상기 활성화된 소스 및 드레인 영역 위의 상기 반도체 기재의 표면을 규화 처리하는 단계와,
 - (d) 상기 더미 게이트 영역도 둘러싸는 절연층을 상기 반도체 기재의 표면 상에 형성하는 단계와,
 - (e) 상기 더미 게이트 영역의 상단 산화물층이 제거되도록 상기 절연층을 평활화하여 상기 폴리실리콘을 노출시키는 단계와,
 - (f) 상기 반도체 기재의 일부를 노출시키는 개구가 마련되도록 상기 더미 게이트 영역의 폴리실리콘과 하단 산화물층을 선택적으로 제거하는 단계와,
 - (g) 상기 반도체 기재의 노출된 부분에 게이트 유전체를 형성하는 단계와,
 - (h) 상기 게이트 유전체 상에 게이트 도전체를 침적하는 단계와,
 - (i) 상기 (d) 단계에서 형성된 절연층을 에칭하는 단계
- 를 포함하는 것인 공정.

청구항 2.

제1항에 있어서, 상기 (h) 단계에 앞서, 상기 게이트 유전체 상에 오목한 폴리실리콘의 층을 형성하는 단계를 더 포함하는 것인 공정.

청구항 3.

제1항 또는 제2항에 있어서, 상기 오목한 폴리실리콘은, 원위치 도핑 침적 공정을 이용하여 상기 개구를 폴리실리콘으로 완전히 채우고, 활성화된 폴리실리콘을 평활화한 뒤, 상기 개구 아래의 평활화된 폴리실리콘을 에칭함으로써 형성하는 것인 공정.

청구항 4.

제2항에 있어서, 상기 오목한 폴리실리콘은, 상기 개구에 내재적인 폴리실리콘을 침적하고, 그 내재적인 폴리실리콘을 이온 이식으로 도핑한 후, 도핑된 폴리실리콘을 활성화 어닐링하고, 도핑된 폴리실리콘을 평활화한 뒤, 상기 개구 아래의 평활화 및 도핑된 폴리실리콘을 에칭함으로써 형성하는 것인 공정.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 더미 게이트 영역은, 더미 게이트 스택의 표면에 패턴화된 레지스트를 마련하고, 상기 더미 게이트 스택 중 상기 패턴화된 레지스트로 덮이지 않은 부분을 제거함으로써 형성하는 것인 공정.

청구항 6.

제5항에 있어서, 상기 더미 게이트 스택은 상기 하단 산화물층 상에 형성된 폴리실리콘층과 상단 산화물층을 포함하는 것인 공정.

청구항 7.

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 기재에 활성화된 소스 및 드레인 영역을 형성하기 전에, 상기 기재 안에 소스 및 드레인 연장부를 형성하는 것인 공정.

청구항 8.

제7항에 있어서, 상기 더미 게이트 스택의 폴리실리콘 및 상단 산화물층 주위에 스페이서를 형성하는 단계를 더 포함하는 것인 공정.

청구항 9.

제7항에 있어서, 상기 소스 및 드레인 연장부는 약 950°C 이상의 온도에서 약 5초 이내의 시간 동안 이온 이식 및 어닐링함으로써 형성되는 것인 공정.

청구항 10.

제1항 내지 제9항 중 어느 한 항에 있어서, 상기 활성화된 소스 및 드레인 영역은 약 1000°C 이상의 온도에서 약 5초 이내의 시간 동안 이온 이식 및 활성화 어닐링함으로써 형성되는 것인 공정.

청구항 11.

제1항 내지 제10항 중 어느 한 항에 있어서, 상기 (f) 단계는 반응성 이온 에칭 또는 화학적 하향류 에칭 공정으로 상기 폴리실리콘층을 제거하고, 증기상 화학적 산화물 제거(COR) 공정으로 상기 하단 산화물층을 제거하는 것을 포함하는 것인 공정.

청구항 12.

제11항에 있어서, 상기 화학적 산화물 제거(COR) 공정은 HF 및 NH₃의 증기를 포함하고 압력은 6 mTorr 미만인 것인 공정.

청구항 13.

제1항 내지 제12항 중 어느 한 항에 있어서, 상기 (h) 단계에서 사용되는 확산 차단층은 질화물 재료로 이루어진 것인 공정.

청구항 14.

제1항 내지 제13항 중 어느 한 항에 있어서, 상기 도전성 재료는 폴리실리콘, W, Ta 또는 TiN으로 이루어진 것인 공정.

청구항 15.

제1항 내지 제14항 중 어느 한 항에 있어서, 상기 기재 안에는 고립 영역이 형성되어 있는 것인 공정.

청구항 16.

제1항 내지 제15항 중 어느 한 항에 있어서, 상기 (g) 단계에서 사용되는 게이트 유전체는 N₂O, NO, SiO₂, ZrO₂, 티탄산바륨, 티탄산스트로튬 또는 티탄산바륨스트론튬으로 이루어진 것인 공정.

청구항 17.

제1항 내지 제16항 중 어느 한 항에 있어서, 상기 더미 게이트 영역은 N+가 다량 도핑된 폴리실리콘으로 이루어지고, 상기 (f) 단계에서 이 폴리실리콘을 제거하는 데에 KOH를 이용하는 것인 공정.

청구항 18.

제14항에 있어서, 상기 폴리실리콘은 원위치에서 도핑된 폴리실리콘인 것인 공정.

청구항 19.

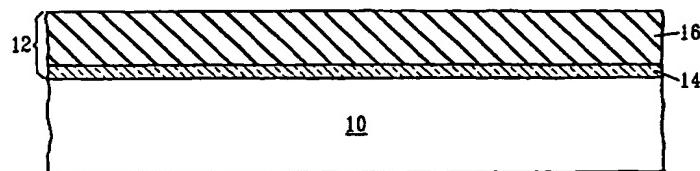
제14항에 있어서, 상기 폴리실리콘은 이온 이식 및 어닐링에 의한 활성화를 통해 도핑된 내재적인 폴리실리콘인 것인 공정.

청구항 20.

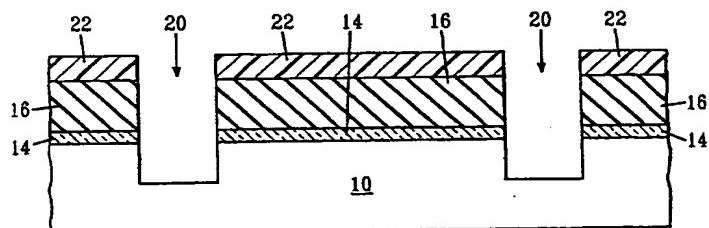
제1항 내지 제19항에 있어서, 상기 도전성 재료를 침적하기 전에 상기 게이트 유전체와 개구 상에 선택적인 라이너를 형성하는 것인 공정.

도면

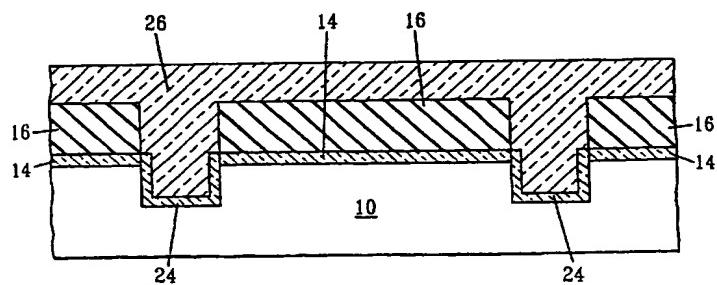
도면 1



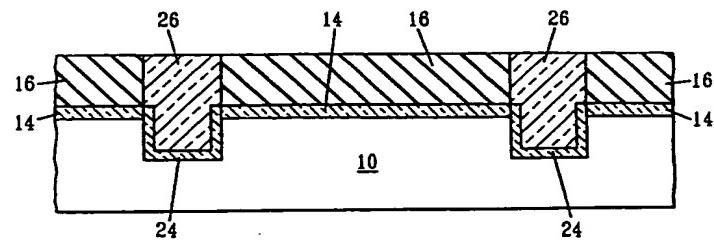
도면 2



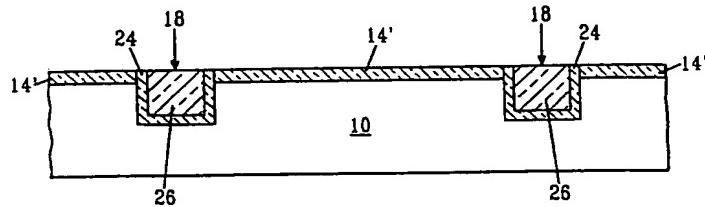
도면 3



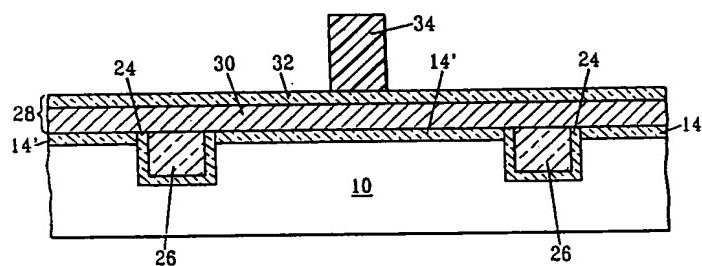
도면 4



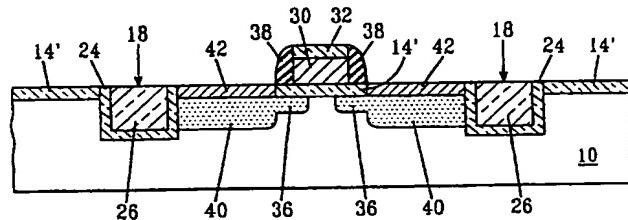
도면 5



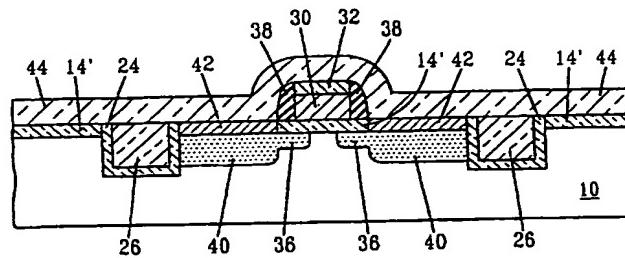
도면 6



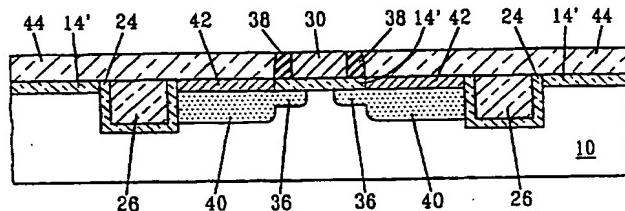
도면 7



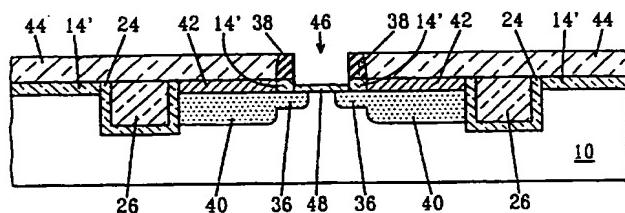
도면 8



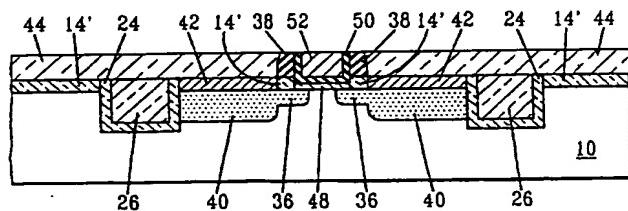
도면 9



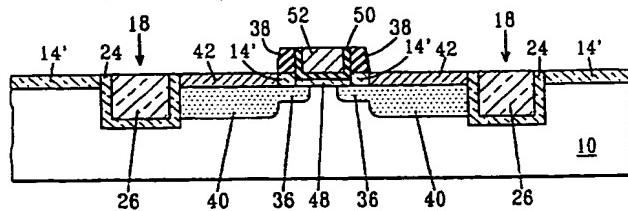
도면 10



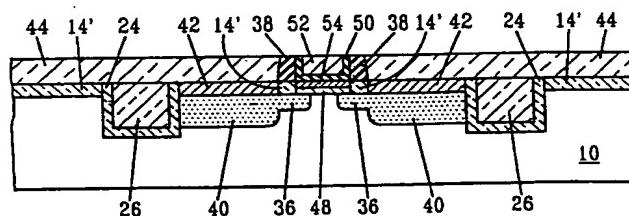
도면 11



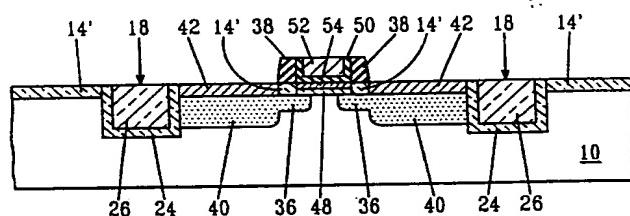
도면 12



도면 13



도면 14



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.